

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-092143

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

H04L 27/22

H04B 1/16

H04J 3/00

H04L 27/14

(21)Application number : 10-262177

(71)Applicant : NEG CORP

(22)Date of filing : 17.09.1998

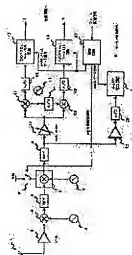
(72)Inventor : SAKUMA SHIGERU

(54) RECEIVER PROVIDED WITH CANCELLATION OF DC OFFSET AND CARRIER DETECTION THRESHOLD MEASUREMENT FUNCTION, AND CONTROL METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a digital receiver of high quality and high reliability and the control method, capable of conquering the deterioration of reception characteristics due to a DC offset generated in an analog circuit at the time of reception and furthermore preventing erroneous detection at carrier detection.

SOLUTION: This receiver is provided with a control circuit for generating DC offset gate signals, mixer power source interrupt signals and RSSI(received signal strength indicator) gate signals based on frame synchronizing signals, a switch 8 for tuning the power source of a mixer 7 on/off through the control of the mixer power source interrupt signals, DC offset cancellation circuits 17 and 18 for cancelling the DC offset by the control of the DC offset gate signals and a carrier detection circuit 21 for measuring the threshold of the carrier detection through the control of the RSSI gate signals and discriminating the presence of a carrier.



LEGAL STATUS

[Date of request for examination] 17.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3204224

[Date of registration] 29.06.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-92143

(P2000-92143A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(5) Int.Cl. ⁷	識別記号	F I	テラトド [*] (参考)
H 0 4 L 27/22		H 0 4 L 27/22	Z 5 K 0 0 4
H 0 4 B 1/16		H 0 4 B 1/16	R 5 K 0 2 8
H 0 4 J 3/00		H 0 4 J 3/00	H 5 K 0 6 1
H 0 4 L 27/14		H 0 4 L 27/14	Z

審査請求 有 請求項の数 8 O L (全 7 頁)

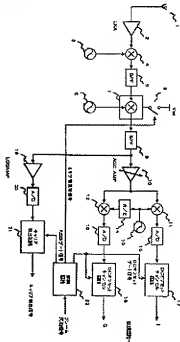
(21) 出願番号	特願平10-262177	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成10年9月17日 (1998.9.17)	(72) 発明者	佐久間 茂 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	100079005 弁理士 宇高 克己 Fターム(参考) 5K004 AA05 FA05 F032 FH01 FH06 FJ07 5K028 AA04 BB04 DD01 5K061 AA01 AA04 BB00 BB12 CC25 EP01

(54) 【発明の名称】 DCオフセットのキャンセルとキャリア検出しきい値測定機能を備えた受信機とその制御方法

(57) 【要約】

【解決すべき課題】 本発明は、受信時、アナログ回路で発生するDCオフセットによる受信特性の劣化を克服し、更にキャリア検出の際の誤検出を防止することが可能な高品質で信頼性の高いデジタル受信機とその制御方法を提供することにある。

【課題を解決するための手段】 本発明は、フレーム同期信号を基にDCオフセットゲート信号とミキサ電源断信号とRSSIゲート信号を生成する制御回路と、ミキサ電源断信号の制御によりミキサの電源を入り切りするスイッチと、DCオフセットゲート信号の制御によりDCオフセットをキャンセルするDCオフセットキャンセル回路と、RSSIゲート信号の制御によりキャリア検出しきい値を測定し、キャリアの有無を判断するキャリア検出回路を有する。



【特許請求の範囲】

【請求項1】 時刻分割多重アクセス（TDMA）方式の受信機において、

フレーム同期信号を基にミキサ電源断信号と、DCオフセットゲート信号と、RSSIゲート信号とを生成する制御手段を設け、

ミキサの電源側にミキサの電源を入り切りするスイッチ手段を設け、

復調回路の前段にA/D変換器で発生するDCオフセットをキャンセルするDCオフセットキャンセル手段を設け、

前記ミキサの出力側と前記制御手段との間にキャリア検出のしきい値を測定してキャリアの有無を判断するキャリア検出手段を設けるとともに、

前記制御手段で生成するミキサ電源断信号によりスイッチ手段を制御するとともに、前記DCオフセットゲート信号によりDCオフセットキャンセル手段を制御し、かつ前記RSSIゲート信号によりキャリア検出手段を制御するように構成したことを特徴とする受信機。

【請求項2】 前記制御手段でフレーム同期信号を基に生成するミキサ電源断信号、DCオフセットゲート信号及びRSSIゲート信号は、送受信パースト間のガードタイム期間に発生させることを特徴とする請求項1記載の受信機。

【請求項3】 前記DCオフセットキャンセル手段は、DCオフセット検出回路、DCオフセット保持回路及び減算器で構成され、前記減算器にはA/D変換器またはパーストバンド信号と、前記DCオフセット検出回路及びDCオフセット保持回路を介して処理されたDCオフセット信号の両信号が入力されて減算処理が行われ、かつ前記DCオフセット検出回路及びDCオフセット保持回路の制御は、前記DCオフセットゲート信号により成されるように構成したことを特徴とする請求項1記載の受信機。

【請求項4】 前記キャリア検出手段は、二個のRSSI積算回路とRSSI保持回路、RSSIレベル追加回路及び比較回路で構成され、前記ミキサより出力されるキャリア信号は、一方のRSSI積算回路を介して直接比較回路に入力され、かつ他方のRSSI積算回路、RSSI保持回路及びRSSIレベル追加回路を介して比較回路に入力され、比較回路でキャリア検出のしきい値とキャリアの有無が判断されてキャリア検出信号として取出されるとともに、前記他方のRSSI積算回路の制御は、前記RSSIゲート信号により成されるように構成されたことを特徴とする請求項1記載の受信機。

【請求項5】 前記キャリア検出手段によるキャリア検出のしきい値の測定は、送受信パースト間のガードタイム期間内に測定して適応的に変化させるようにしたことを特徴とする請求項1記載の受信機の制御方法。

【請求項6】 前記ミキサ電源断信号と前記DCオフセ

ットゲート信号は、RSSIゲート信号とフレーム同期単位で交互に発生させることを特徴とする請求項1記載の受信機の制御方法。

【請求項7】 前記DCオフセットゲート信号は、前記ミキサ電源断信号が立ち上って、ミキサ電源が安定してから立ち上がる機能を有することを特徴とする請求項1記載の受信機の制御方法。

【請求項8】 前記制御手段から出力される前記ミキサ電源断信号及び前記DCオフセットゲート信号と前記RSSIゲート信号とは、TDMAフレーム単位で交互に出力することを特徴とするDCオフセット検出とキャリア検出しきい値測定の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は時刻分割多重アクセス（TDMA）方式の無線通信システムに関し、特にデジタル無線受信機の入力信号のDCオフセットをキャンセルすると共にキャリア検出しきい値測定の機能を備えた受信機とその制御方法に関する。

【0002】

【従来の技術】従来のこの種のDCオフセットキャンセル方式には、ノイズや電圧ドリフト等によってアナログ回路内部で発生するDCオフセットによって受信した信号の受信特性の劣化を抑えるために、例えば、特開平8-242262号公報には、アナログ回路にDC補正回路を設けて、更に不要な受信波やノイズを防ぐためのスイッチを設けて受信信号が来る前でDC分をキャンセルしていた。

【0003】また、別の例では、特開平10-13482号公報に有るように、アナログ回路とデジタル回路にDCオフセット除去回路を設けていた。上記の他にも、パースト受信中にDCオフセットをキャンセルする例として、例えば特公6-36504号公報に開示されているような、アナログ回路のコンデンサによりDC分をキャンセルするものも提案されている。

【0004】また、特願平9-334586号公報では、パースト信号の先頭にトレーニング系列を設けて、この区間で、DCオフセットをキャンセルする例が開示されている。一方、キャリア検出方式としては、アナログ回路内のログアンプ出力をA/D変換することで得られる受信電界レベル（RSSI: Received signal strength indicator）を予め設定されたしきい値と比較し、RSSIがしきい値を越えている場合、キャリア検出信号を出力し、受信信号のトリガとして用いるものが知られている。

【0005】しかし、予め設定したしきい値が低く設定されていると、他のシステムからの干渉波や受信ノイズ等により、キャリア検出信号が誤って検出されてしまい、無駄な電力を消費したり、本来受信しなくてはならない受信信号を逃してしまうという問題があった。また

逆に、予め設定したしきい値が高めに設定されていると、RSSIの低い受信信号を受けることが出来なくなり受信エリアを狭めていた。

【0006】

【発明が解決しようとする課題】第1の問題点は、受信信号前にDCオフセットを検出する方法においてRFアナログ回路のスイッチによって、不要な受信波やノイズを防いでアナログ回路で発生するDCオフセットを検出する方法では、十分に防ぐことができない。その理由は、スイッチでは、不要な受信波やノイズを十分に遮断する事ができず回り込みにより正確なDCオフセットを検出することができない。

【0007】第2の問題点は、アナログ回路にDCオフセット除去機能を設ける方法では、アナログ回路が複雑となり、また、消費電力の増大を招く。その理由は、アナログ処理によるDCオフセット回路では、部品点数がおおくなる。第3の問題点は、アナログ回路とデジタル回路の双方にDCオフセット除去機能を設ける方法では、小型・軽量の受信機を構成することができない。

【0008】その理由は、部品点数が増えて、回路が複雑となる。第4の問題点は、受信パースト中のデジタル回路でDCオフセットをキャンセルする方法では、伝送効率が低下する。その理由は、DCオフセットをキャンセルするための余分なトレーニングビットをパースト信号の先頭に付加しなければならず、本来のデータ以外のオーバーヘッドが増える。

【0009】第5の問題点は、予め設定されたしきい値を用いたキャリア検出では、キャリアの誤検出や受信エリアを狭めていた。また、使用環境に合わせてしきい値を設定することは困難であった。その理由は、しきい値が固定されているために、外部ノイズや不要電波の影響でキャリアを誤検出し、キャリアの誤検出のマージンをとるために高め目にしたしきい値を設定して不必要に受信エリアを狭めていた。

【0010】第6の問題点は、受信環境に応じてしきい値を自動的に変化させるキャリア検出方式の場合、そのしきい値を測定する時は、DCオフセット検出を行う時のアナログ回路内に有するミキサの電源を遮断することが出来ない場合があった。その理由は、前記ミキサ出力から取り出したログアンプからRSSIを取り出す場合、ミキサの電源を切っているために外部環境のノイズレベルをRSSIから得られず、従って正常なしきい値を測定出来なかった。

【0011】本発明の目的は、高精度なDCオフセットを検出することができる受信機と制御方式を提供することにある。本発明の他の目的は、回路規模の小さいDCオフセットのキャンセル回路を提供することにある。本発明の他の目的は、誤検出が少なく、受信エリアを広く出来る高性能なキャリア検出方式を提供することにある。

【0012】本発明の他の目的は、高精度で回路規模の小さいDCオフセットのキャンセル方式と高性能なキャリア検出方式を組み合わせた高品質な信頼性の高いデジタル無線受信機を提供することにある。

【0013】

【課題を解決するための手段】本発明の受信機は、上記目的を達成するために、フレーム同期信号を基にDCオフセットゲート信号と、ミキサ電源断信号と、RSSIゲート信号を生成する制御手段と、前記ミキサ電源断信号の制御によりミキサの電源を入り切りするスイッチ手段と、前記DCオフセットゲート信号の制御によりDCオフセットをキャンセルするDCオフセットキャンセル手段と、前記RSSIゲート信号の制御によりキャリア検出のしきい値を測定し、キャリアの有無を判断するキャリア検出手段とを有する構成を採用する。

【0014】本発明の制御方法は、DCオフセットのキャンセル手段とキャリア検出手段とを備えた受信機において、上記制御手段から出力されるミキサ電源断信号とDCオフセットゲート信号が、RSSIゲート信号とはTDMAフレーム単位に交互に出力する構成を採用する。

【0015】

【作用】本発明は、DCオフセット検出時に、送受信パースト間のガードタイム期間内でミキサの電源を切るようにしたので、アンテナ入力からの不要電波や、アナログ回路内で発生するノイズを遮断でき、本来要求されるDCオフセットを精度よく検出できる。

【0016】また、送受信パースト間のガードタイム期間内でDCオフセットを検出するようにしたので、DCオフセット検出のためだけに余分なトレーニングビットをパーストの前に付加する必要がない。更に、キャリア検出のしきい値を送受信パースト間のガードタイム期間内に測定して、適応的に変化させるようにしたので、固定のしきい値に比べ、実質的にキャリアを検出できる距離を伸ばすことになり、結果的に通信エリアを広くすることが可能であり、また、ノイズや他のシステムとの干渉によるキャリアの誤検出を防止することができる。

【0017】更に、DCオフセットのキャンセルとキャリア検出手段とをTDMAフレーム単位に交互に行うことで両機能を搭載した受信機を実現できる。

【0018】

【発明の実施の形態】次に、本発明の実施の形態について図面を参照して詳細に説明する。図1は、本発明による受信機の一実施例の構成を示す図である。受信方式は、TDMA移動通信システムの受信機として一般的に使用されているダブルスーパヘテロダイン方式の例を示している。

【0019】アンテナ1から受信された高周波パースト信号は、低雑音増幅器2で増幅された後、局部発振器3、ミキサ4、バンドパスフィルタ5によって第1中間

周波数に変換し、更に局部発振器 6、ミキサ 7、バンドパスフィルタ 9 によって第 2 中間周波数に変換した後、可変利得増幅器 10 を通って、2 系統に分配される。そして、ミキサ 11、12 で各々局部発振器 13 から供給される第 2 中間周波信号とほぼ同じ周波数の搬送波とミキシングされ、ベースバンド周波数群に周波数変換される。

【0020】ここで、局部発振器 13 は、ミキサ 11 には直搬、また、ミキサ 12 には、 $\pi/2$ 移相器 14 を介して接続されている。したがって、ベースバンドに周波数変換された 2 系統の信号はお互いに $\pi/2$ の位相差を持っている。この 2 系統のベースバンド信号は、各々 A/D 変換器 15、16 にて A/D 変換され、DC オフセットキャンセル回路 17、18 においてアナログ回路で発生した DC オフセットを検出し、それを受信データからキャンセルして、デジタル復調回路（不図示）で原データに復調する。

【0021】一方、バースト受信信号の有無を検出するために、バンドパスフィルタ 9 から出力される第 2 中間周波信号をログアンプ 19 に入力し、更に A/D 変換器 20 にて A/D 変換し、キャリア検出回路 21 に入力し、キャリア検出信号として出力する。制御回路 22 では、デジタルベースバンド回路（不図示）から出力されるフレーム同期信号をもとに制御信号を生成する。

【0022】その一つは、ミキサ 7 の電源をスイッチ制御する信号（ミキサ電源断信号）で、この信号はスイッチ 8 に供給され、また、DC オフセットキャンセル回路 17、18 を制御する信号（DC オフセットゲート信号）で、この信号は DC オフセットキャンセル回路 17、18 に供給され、更に、キャリア検出回路 21 を制御する信号（RSSI ゲート信号）で、この信号はキャリア検出回路 21 にそれぞれ供給される。

【0023】図 1 は、図 1 の DC オフセットキャンセル回路 17、18 の構成を示す図である。A/D 変換器 15、16 から出力されたベースバンド信号（同相成分 I 信号及び直交成分 Q 信号）は、DC オフセット検出回路 100 にて各々のベースバンド信号に重畳されている DC オフセットを検出し、DC オフセット保持回路 101 にて各々の DC オフセットを保持する。この保持された DC オフセットは、バースト受信中、減算器 102 によってベースバンド信号から差し引かれる。

【0024】制御回路 22 から出力された DC オフセットゲート信号は、DC オフセット検出回路 100 及び DC オフセット保持回路 101 に入力される。図 3 は、図 1 のキャリア検出回路 21 の構成を示す図である。A/D 変換器 20 から出力された RSSI 信号は、RSSI 積算回路 200、201 の各々に入力される。RSSI 積算回路 200 は、受信バースト信号が来ない区間で、一定区間 RSSI を積算することで、ノイズレベル変動の平滑化を行い、この値を RSSI 保持回路 202 で次

の積算まで保持し、このレベルからある設定値分レベルを上げる RSSI レベル追加回路 203 を介して、この値をキャリア検出のしきい値とする。

【0025】一方、RSSI 積算回路 201 は、常時、RSSI を積算してノイズレベル変動の平滑化を行い、その出力信号は、前記しきい値と比較回路 204 にて比較され、その結果キャリアの有無を通知するキャリア検出信号として比較回路 204 から出力される。発明の効果が端的に表されているグラフを作成したときは、このグラフに基づいて、発明の実施形態の特性を詳細に説明する。

【0026】グラフが試験結果に基づくときは、試験方法等についても説明する。この実施の形態において得られる特有の効果についてもあわせて説明する。次に、図 1 に示す本実施例の動作について、図 4 の波形信号図と共に説明する。図 4 は、基地局からの定期的な受信バースト信号を基地局の受信エリア内に存在する移動端末が定期的に受信している状態を例として示している。

【0027】図 4 を参照すると、アンテナ 1 から入力される (A) 受信バーストは、TDM フレーム周期に受信される順次復調される。デジタルベースバンド回路（不図示）から通知される (B) フレーム同期信号は、

(A) 受信バースト信号より前のガードタイム期間（送受信バーストと送受信バースト間）中で立ち上がり、受信バースト信号の終了で立ち下がるような TDM フレームに同期した信号であり、この立ち上がりエッジをトリガにして、(C) ミキサ電源断信号、(D) DC オフセットゲート信号、(E) RSSI ゲート信号を制御回路 22 から出力するようにしている。

【0028】(C) ミキサ電源断信号は、スイッチ 8 に接続され、ガードタイム期間中に一定期間ミキサの電源を切る役をする。また、(D) DC オフセットゲート信号は、DC オフセットキャンセル回路 17、18 に入力され、ミキサの電源が切断されている間、DC オフセットを検出する。

【0029】具体的には、DC オフセット検出回路 100 は、ミキサ電源断信号がアクティブ（ミキサ電源断）となって、ミキサ電源断による電源変動が安定する時間待ってから、ノイズレベルを平滑化するために DC オフセットゲート信号がアクティブ期間にベースバンド信号（I 及び Q 信号）の積算を行い、最終的に DC オフセットを検出するようにしている。

【0030】さらに検出した DC オフセット分は、DC オフセット保持回路 101 により、DC オフセットゲート信号がノンアクティブ期間、保持し、減算器 102 により、受信したベースバンド信号から DC オフセットを差引くことで、アナログ回路で発生した DC オフセットをキャンセルした歪みの無いベースバンド信号をデジタル復調回路（不図示）へ送り込むことが可能となる。

【0031】一方、(E) RSSI ゲート信号は、キャ

リア検出回路21に入力され、ガードタイム期間中にアクティブとなり、アクティブ期間中RSSI信号を積算し、ノイズレベル変動の平滑化を行う。この値をRSSI保持回路202で次の積算まで保持し、更に、ノイズによる誤検出を減らすために、RSSIレベル追加回路203を介して、ある設定値分レベルを上げ、その値をキャリア検出のしきい値とする。

【0032】例えば、具体例として、RSSIの振幅分解能(A/D変換器20の分解能)が0から31まで32レベルあるとし、RSSIレベル追加回路の設定値を2レベルであるとする、RSSI積算回路200で積算した結果が3レベルのときは、3+2=5レベルをキャリア検出のしきい値としてセツトする。また、RSSI積算回路201は、常時、RSSIを積算してノイズレベル変動の平滑化を行い、その出力信号は、前記しきい値と比較回路204にて比較され、しきい値よりも大きければ、キャリア有と判断され、(A)受信バーストが受信されている区間、アクティブとなるような(F)キャリア検出信号が出力される。

【0033】図4を参照すると、(C)ミキサ電源断信号と(D)DCオフセットゲート信号は、(E)RSSIゲート信号とTDMAフレーム単位に交互に動作させている。この理由は、図1では、電源制御されるミキサ7の後段から、RSSI信号を取り出しているために、(C)ミキサ電源断信号がアクティブになるとミキサ7の電源が切れ、アンテナ1から入力される外部ノイズや他の無線システムからの干渉波等の無線環境を測定できなくなり、正確なしきい値を設定できなくなるという問題が発生するからである。

【0034】通常、DCオフセット及びキャリア検出しきい値は、緩やかに変動はするが、フレーム単位に急変することは無いので、2フレーム単位にデータを更新しても何ら支障はない。以上説明した図4は、移動端末における制御動作を示す図であったが、また別の動作例として、図5に基地局におけるDCオフセットキャンセルとキャリア検出しきい値測定の制御動作を示す。

【0035】図5を参照すると、基地局は、定期的にTDMAフレーム周期で(A)送信バーストを送信しており、また、受信エリア内のデジタルベースバンド回路(不図示)から通知される(B)フレーム同期信号は、(A)送信バースト信号より前のガードタイム期間(送受信バーストと送受信バースト間)中で立ち上がり、送信バースト信号の終了で立ち下がるようなTDMAフレームに同期した信号であり、この立ち上がりエッジをトリガにして、(C)ミキサ電源断信号、(D)DCオフセットゲート信号、(E)RSSIゲート信号を制御回路22から出力するようにしている。

【0036】TDMAフレーム周期中に移動端末からの送信信号が(A')受信バーストとして基地局に入力されると、前の(E)RSSIゲート信号で測定したしき

い値を使うことによって、(F)キャリア検出信号が出力される。

【0037】

【発明の効果】 第1の効果は、DCオフセットの検出精度が向上する。このため、受信機の信頼性が向上する。その理由は、ミキサの電源を直接切って、DCオフセットを検出するようにしたためである。第2の効果は、送受信バースト前にDCオフセット検出のためのトレーニングビットがいらぬ。このため、オーバーヘッドが減り、無線通信システムの伝送速度が向上する。

【0038】その理由は、送受信バースト間のガードタイム期間中にDCオフセットを検出したからである。第3の効果は、キャリア検出の誤検出が防止でき、通信エリアが広がる。このため、受信機の信頼性及び性能が向上する。その理由は、キャリア検出のしきい値を送受信バースト間のガードタイム期間中に測定して、適応的に変化するようにしたからである。

【0039】第4の効果は、受信機の特長、性能が向上し、信頼性が向上する。また、小型・軽量となる。その理由は、デジタル演算によって、DCオフセット検出機能とキャリア検出機能を実現し、TDMAフレーム単位に交互に動作させるようにしたからである。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例の無線受信機を示すブロック図である。

【図2】図2は、本発明の一実施例におけるDCオフセットキャンセル回路の構成を示したブロック図である。

【図3】図3は、本発明の一実施例におけるキャリア検出回路の構成を示したブロック図である。

【図4】図4は、移動端末におけるDCオフセット検出とキャリア検出のしきい値算出の制御動作を説明するための図である。

【図5】図5は、基地局におけるDCオフセット検出とキャリア検出のしきい値算出の制御動作を説明するための図である。

【符号の説明】

1	アンテナ
2	低雑音増幅器
3、6、13	局部発振器
4、7、11、12	ミキサ
5、9	バンドパスフィルタ
8	電源スイッチ
10	可変利得増幅器
14	$\pi/2$ 移相器
15、16	A/D変換器
17、18	DCオフセットキャンセル回路
19	ログアンプ
20	キャリア検出回路
100	DCオフセット検出回路
101	DCオフセット保持回路

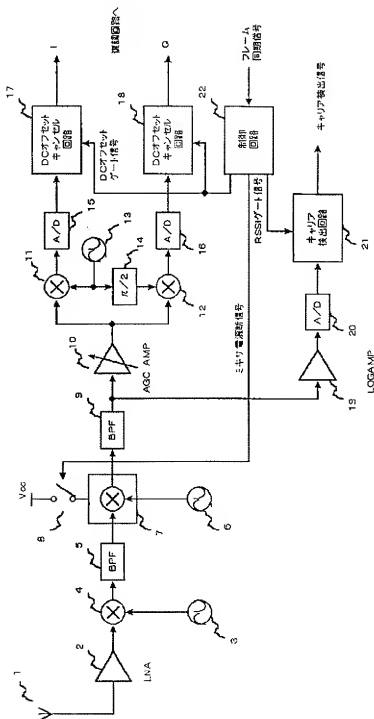
102
200、201
202

減算器
RSSI 積算回路
RSSI 保持回路

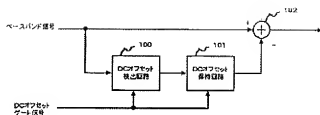
203
204

RSSI レベル追加回路
比較回路

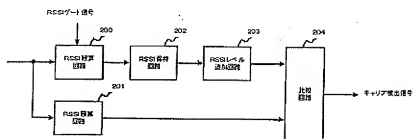
【図1】



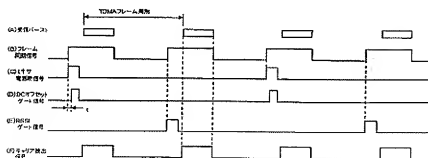
【図2】



【図3】



【図4】



【図5】

